

**VIDEO INFORMATION PROCESSOR**

**Publication number:** JP1223891 (A)

**Publication date:** 1989-09-06

**Inventor(s):** KATSUBE RYOJI

**Applicant(s):** NIPPON ELECTRIC CO

**Classification:**

- **International:** *H04N11/00; H04N9/00; H04N9/76; H04N11/24; H04N11/00; H04N9/00; H04N9/76; (IPC1-7): H04N9/00; H04N9/76; H04N11/00*

- **European:**

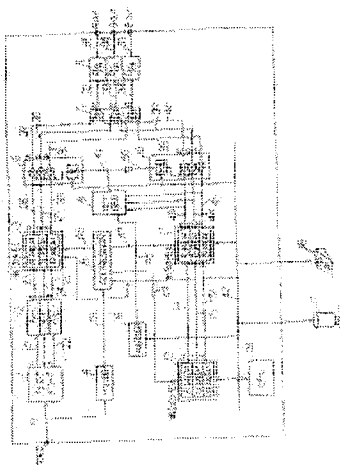
**Application number:** JP19880048601 19880303

**Priority number(s):** JP19880048601 19880303

**Abstract of JP 1223891 (A)**

**PURPOSE:** To attain so-called 'overwrite' by superimposing a video image filed on a hard disk or the like such as necklace, spectacles or hair style onto a portrait inputted from a camera.

**CONSTITUTION:** A picture of a commodity placed on a single color background having been stored on a hard disk 17 is loaded to a 2nd memory 12 and the size of picture and its position are changed by changing the start position of an address generated from an addresser 5 and data thinning at the transfer of the picture data signal to a 3rd memory 11. Data at the position of a marker from a marker circuit 16 among output data in the 3rd memory 11 is inputted in a key generator 8 and stored. The key generator 8 compares the stored R, G, B with the output picture signal from the 3rd memory 11 and when they are coincident, a key signal (replacing pulse) 41 is outputted. Thus, the still picture image is superimposed on the moving picture image.



Data supplied from the **esp@cenet** database — Worldwide

## ⑫ 公開特許公報(A) 平1-223891

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)9月6日

H 04 N 9/00  
9/76  
11/00A-7033-5C  
7033-5C  
7033-5C

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 ビデオインフォメーションプロセッサ

⑯ 特 願 昭63-48601

⑰ 出 願 昭63(1988)3月3日

⑱ 発 明 者 勝 部 良 次 東京都港区芝5丁目3番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 芦 田 坦 外2名

## 明 細 書

## 1. 発明の名称

ビデオインフォメーションプロセッサ

## 2. 特許請求の範囲

1. テレビジョン動画信号を、R、G、及びBのアナログ信号に変換するアナログデコーダ(1)と、該R、G、及びBのアナログ信号をそれぞれR、G、及びBのデジタル信号に変換するアナログ・デジタルコンバータ(2)と、該アナログ・デジタルコンバータから出力されたR、G、及びBのデジタル信号を格納する第1のメモリ(3)と、該第1のメモリから出力されたR、G、及びBのデジタル信号に係数 $k$ (ただし、 $0 \leq k \leq 1$ )をかけ合わせる第1の乗算器(6)と、外部メモリ(17)に格納された、静止画像信号に関するR、G、及びBのデジタル信号を読み出し、格納する第2のメモリ(12)と、該静止画像信号に関するR、G、及びBのデジタル信号をアドレス(5)

(1)

により書き込む時に、サイズ、位置を調整して格納する第3のメモリ(11)と、該第3のメモリから出力されたR、G、及びBのデジタル信号に係数 $(1-k)$ をかけ合わせる第2の乗算器(10)と、前記第1及び第2の乗算器から出力されたR、G、及びBのデジタル信号を、互に加算する加算器(7)と、該加算器から出力されたR、G、及びBのデジタル信号をR、G、及びBのアナログ信号に変換するデジタル・アナログコンバータ(9)とを有し、さらに、前記第1のメモリから出力されたR、G、及びBのデジタル信号を、前記第3のメモリから出力されたR、G、及びBのデジタル信号に切り換える時点を示すキー信号を作り、前記第1及び第2の乗算器に与え、該第1及び第2の乗算器の係数を変化させるキー発生器(8)と、該キー発生器に、前記第3のメモリから出力されたR、G、及びBのデジタル信号の任意位置の信号を保持させるためのタイミングパルスを生ずるマーカ回路(16)とを有することを特徴とするビデオインフォメーションプロセッサ。

(2)

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は、画像処理装置に関し、特に、NTSCのビデオ信号に、すでにハードディスク等の外部メモリに格納された画像信号を合成し出力する装置に関する。

## 〔従来の技術〕

従来、この種の技術として、ラインクロマキ装置がある。

## 〔発明が解決しようとする課題〕

上述した従来のラインクロマキ装置には、ハードディスク等の外部メモリからの静止画入力部がなく、また、静止画処理用のメモリも備えていないため、静止画の映像を任意のサイズに縮小とか、ポジショニングして、動画映像に、重ね合わせることができないという欠点がある。

本発明の課題は、上記欠点を除去し、静止画の映像を、任意のサイズに縮小とかポジショニングして、動画映像に重ね合わせることができるビデオインフォメーションプロセッサを提供すること

(3)

第2の乗算器から出力されたR、G、及びBのデジタル信号を、互に加算する加算器7と、該加算器から出力されたR、G、及びBのデジタル信号をR、G、及びBのアナログ信号に変換するデジタル・アナログコンバータ9とを有し、さらに、前記第1のメモリから出力されたR、G、及びBのデジタル信号を、前記第3のメモリから出力されたR、G、及びBのデジタル信号に切り換える時点を示すキー信号を作り、前記第1及び第2の乗算器に与え、該第1及び第2の乗算器の係数を変化させるキー発生器8と、該キー発生器に、前記第3のメモリから出力されたR、G、及びBのデジタル信号の任意位置の信号を保持させるためのタイミングパルスを発生するマーカ回路16とを有することを特徴とするビデオインフォメーションプロセッサが得られる。

## 〔実施例〕

次に本発明の実施例について図面を参照して説明する。

第1図を参照すると、ビデオ信号19はアナロ

(5)

にある。

## 〔課題を解決するための手段〕

本発明によれば、テレビジョン動画信号を、R、G、及びBのアナログ信号に変換するアナログデコーダ1と、該R、G、及びBのアナログ信号をそれぞれR、G、及びBのデジタル信号に変換するアナログ・デジタルコンバータ2と、該アナログ・デジタルコンバータから出力されたR、G、及びBのデジタル信号を格納する第1のメモリ3と、該第1のメモリから出力されたR、G、及びBのデジタル信号に係数 $k$ （ただし、 $0 \leq k \leq 1$ ）をかけ合わせる第1の乗算器6と、外部メモリ17に格納された、静止画像信号に関するR、G、及びBのデジタル信号を読み出し、格納する第2のメモリ12と、該静止画像信号に関するR、G、及びBのデジタル信号をアドレス5により書き込む時に、サイズ、位置を調整して格納する第3のメモリ11と、該第3のメモリから出力されたR、G、及びBのデジタル信号に係数 $(1-k)$ をかけ合わせる第2の乗算器10と、前記第1及び

(4)

グデコーダ1を通りR、G、Bのコンポーネント信号20、21、22に変換され、さらにアナログ・デジタルコンバータ2によってR、G、及びBのデジタル信号23、24、及び25に変換され、第1のメモリ3に格納される。一方、ハードディスク17に格納してあった背景色が単一色たとえば青のところに置いた商品の画像を第2のメモリ12へロードする。第2のメモリ12から第3のメモリ11への画像データ信号の転送時に、データ間引きと、アドレス5より発生するアドレスのスタート位置を変えることにより、画像のサイズと、ポジションを変えることができる。第3のメモリ11の出力データのうち、マーカ回路16からのマーカの位置のデータをキー発生器8に入力レストアする。キー発生器8は、このレストアされたR、G、Bの値と第3のメモリ11からの出力画像信号とを比較し、一致した時に、キー信号（すげ変えパルス）41を出力する。このキー信号41により、第1のメモリ3からの画像データ26、27、28と、第3のメモリ11から

(6)

の出力画像データ 43, 44, 45 を、乗算器 6, 10 により、それぞれ  $k, 1-k$  ( $0 \leq k \leq 1$ ) と乗算し、さらに、加算器 7 により 2 画面を合成する。この際、両画像データがクロスフェードされるように、係数  $k$  を変化させる。この様子を第 2 図に示す。

なお、第 1 図において、4 は水平及び垂直同期信号分離回路、18 はマーカ回路 16 にマーカの位置を指定するなどのコントロールに使用されるコントローラである。

#### 〔発明の効果〕

以上説明したように本発明は、ハードディスク等にファイリングされた映像、例えば、ネックレス、メガネ、髪型などをカメラから入力された人物に重ね合わせることで、いわゆる『着き替え』ができる効果がある。

図は第 1 図の動作を示した図である。

1 … アナログデコーダ、2 … アナログ・デジタルコンバータ、3 … 第 1 のメモリ、4 … 水平及び垂直同期信号分離回路、5 … アドレスサ、6 … 第 1 の乗算器、7 … 加算器、8 … キー発生器、9 … デジタル・アナログコンバータ、10 … 第 2 の乗算器、11 … 第 3 のメモリ、12 … 第 2 のメモリ、13 … CPU、17 … ハードディスク、18 … コントローラ。

代理人 (7783) 弁理士 池田 憲 保



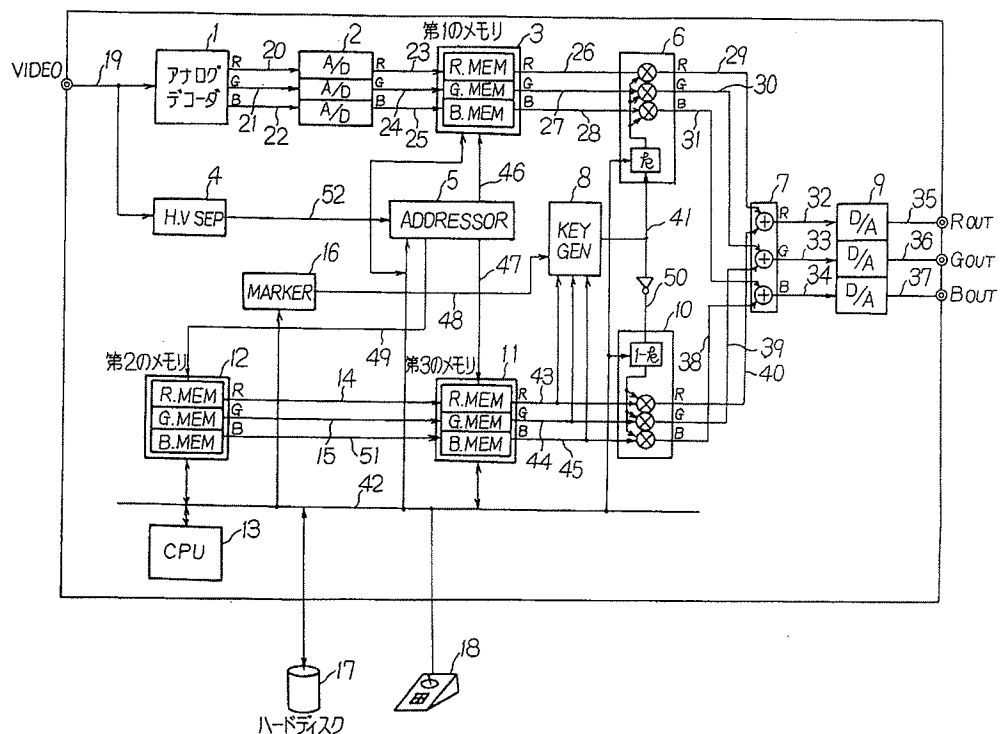
#### 4. 図面の簡単な説明

・第 1 図に本発明の一実施例によるビデオインフォメーションプロセッサによるブロック図、第 2

(7)

(8)

第 1 図



第2図

